



Povzetek projekta Po kreativni poti do znanja 2017 – 2020, 2. odpiranje, za namen objave in predstavitve na spletni strani sklada

1. Polni naslov projekta: Demonstracija delovanja FMCW RADAR mmIC vezja.

- V katero področje na prvi klasifikacijski ravni KLASIUS-P-16 se uvršča projekt glede na vsebinsko zasnovo (neustrezno področje izbrišite):

05 - Naravoslovje, matematika in statistika

06 - Informacijske in komunikacijske tehnologije (IKT)

07 - Tehnika, proizvodne tehnologije in gradbeništvo

2. V sodelovanju z: (navede se univerza oz. samostojni visokošolski zavod, ki je prijavil projekt in članica, ki je nosilka projekta ter partner/ja – podjetje/ji oz. organizacija, ki je/sta bilo/i vključeno/i v projekt)

_____ Univerza v Ljubljani, Fakulteta za računalništvo in informatiko _____

3. Besedilo:

- Opredelite problem, ki se je razreševal tekom izvajanja projekta

FMCW radar (Frequency-Modulated Continuous Wave radar = FMCW radar) je posebna vrsta radarskega senzorja, ki med oddajanjem spreminja svojo delovno frekvenco. To pomeni, da je oddajni signal frekvenčno moduliran. Če želimo določiti oddaljenosti od nepremičnih objektov, potrebujemo časovno razliko med sprejetim on oddanim signalom. Taka časovna referenca za merjenje razdalje nepremičnih predmetov se lahko ustvari z uporabo frekvenčne modulacije oddanega signala. Pri tej metodi se odda signal, ki frekvenco linearno povečuje. Ko se sprejeme odmevni signal, ta sprememba frekvence dobi zakasnitev Δt . Meritev razdalje se nato izvede s primerjavo frekvence sprejetega signala z referenčno (to je običajno frekvenca oddajnega signala).

Razdalja R do nepremičnega objekta je podana z naslednjo enačbo:

$$R = \frac{c * \Delta t}{2} = \frac{c * \Delta f}{2 * \left(\frac{df}{dt}\right)}$$

Če je sprememba frekvence linearna, je njen odvod tudi konstanta in je razdalja R določena z razliko med oddano in sprejeto frekvenco Δf . ON Semiconductor razvija FMCW (Frequency Modulated Continuous Wave) čip. Prototipno mmIC vezje ima vgrajen A/D pretvornik, nima pa vgrajenih funkcij za ugotavljanje frekvence signalov. Te algoritme je bilo potrebno razviti in nato implementirati v FPGA (Field Programmable Gate Array) vezju, da se zagotovi hitrost procesiranja podatkov v realnem času. Algoritmi temeljijo na uporabi FFT metode (Fast Fourier Transform), z ustrežno ločljivostjo vzorcev, da se ohrani vsa uporabna informacija.

Cilj projekta je bil razviti prototip sistema, ki bo omogočil testiranje mmIC prototipnega vezja. Glavna rezultat projekta, ki je plod študentskega dela na projektu, so strojna moduli integrirana v vezje SOC FPGA, ki se bodo v prihodnosti uporabili pri testiranju mmIC prototipnega vezja.

Študentje so z delom na projektu spoznali in implementirali module potrebne pri testiranju prototipnega mmIC vezja ter na praktičen način spoznali tehnologijo, ki omogoča implementacijo takih algoritmov v vezjih SoC FPGA. S timskim delom so algoritme validirali v realnem okolju z uporabo FPGA vezja. Študentje so pod mentorstvom pedagoškega in delovnega mentorja najprej spoznali osnovne gradnike potrebne za testiranje prototipnega vezja (UART, I2C, FFT, CAN). Nato so posamezne funkcionalnosti modulov implementirali v jeziku C in testirali z vgrajenim sistemom OM13089UL - Development Board, LPC54114 Dual-Core MCU. Module so nato implementirali v Verilog in sintetizirali v SoC FPGA. Pri tem so uporabljali specialna orodja za razvoj digitalnih sistemov v čipih. Na koncu so študente razvite module validirali v realnem okolju z uporabo FPGA vezja.

- Opišite potek reševanja problema oz. kratek povzetek projekta

V okviru projekta smo izvajali naslednje aktivnosti:

A1: Seznanjanje s problemom s poudarkom na teoriji delovanja FMCW RADAR sistemov. Na začetku projekta so delovni mentor ter razvojna ekipa v podjetju študentom predstavili problem z vsebinskega in tehnološkega vidika, seznanili s testnim in razvojnim ter s samim ciljem problema.

A2: Razvoj posameznih funkcionalnosti

Na osnovi definiranih zahtev iz A1 so študentje v podjetju ter delno na FRI pod vodstvom pedagoških in delovnih mentorjev funkcionalno definirali in nato v programskem jeziku C implementirali module, potrebne za testiranje končnega prototipnega vezja. Implementirane module so tudi funkcionalno validirali na pripravljenih testnih podatkih.

A3: Strojna implementacija v SoC

V zadnji tretjini projekta so študentje integrirali posamezne funkcionalnosti v enovit prototip. Po končani validaciji modelov so se študentje lotili strojne implementacije modulov v jeziku Verilog. Verilog implementacijo so verificirali s pomočjo simulacije. Verificirane module so nato sintetizirali in mapirali v vezje SoC (System on Chip) FPGA. Specialna orodja, ki so jih študentje potrebovali za simulacijo, sintezo in mapiranje so na voljo samo v podjetju, zato so študentje v tej fazi izvajanja projekta vse naloge opravljali na sedežu podjetja.

A4: Ovrednotenje rešitev ter diseminacija rezultatov

Na koncu so študentje validirali FFT modul in vse manjše module v realnem okolju z uporabo FPGA vezja: zajem podatkov, izračun FFT v realnem času in prenos podatkov prek USB povezave na osebni računalnik. Na osnovi rezultatov bo do v podjetju ocenili uporabnost razvite rešitve. Tudi ta aktivnost se je izvajala na sedežu partnerskega podjetja.

Po končanem testiranju bomo poskrbeli za ustrezno diseminacijo rezultatov projekta. Planirana je objava dveh člankov na študentski sekciji konference ERK 2019/2020.

- Navedite in opišite rezultate projekta ter njihov doprinos k družbeni koristnosti

Glavni rezultat projekta predstavlja implementacija in validacija strojnih (hardverskih) modulov za testiranje prototipnega FMCW čipa. Razviti moduli rešujejo problem dostopa do nefiltriranih podatkov v prototipnem vezju, ki ima vgrajen A/D pretvornik, nima pa vgrajenih funkcij za ugotavljanje frekvence signalov. Te algoritme in module je bilo potrebno razviti in nato implementirati v FPGA (Field Programmable Gate Array) vezju, da se zagotovi hitrost procesiranja podatkov v realnem času. Algoritmi temeljijo na uporabi FFT metode (Fast Fourier Transform), z ustrezno ločljivostjo vzorcev, da se ohrani vsa uporabna informacija iz prototipnega vezja. Dodaten rezultat projekta predstavljajo tudi izkušnje iz izvajanja inovativnega pedagoškega procesa na primeru sodelovanja akademskega in gospodarskega okolja, ki omogočajo nadaljnje izboljšave izvajanja tako pedagoškega procesa, kot izobraževanja kadra v podjetju. Največji doprinos k rezultatom projekta pa predstavljajo praktične izkušnje, znanja in kompetence, ki so jih študenti pridobili med izvajanjem projekta, in sicer s področja digitalnega načrtovanja v sistemih na čipu (SoC), predvsem s poudarkom na uporabi najnovejših tehnologij in orodij iz področja razvoja SoC.

Doprinos rezultatov k družbenemu razvoju in napredku je naslednji: FMCW RADAR sistemi so eden od treh tipal (poleg kamer in LiDAR), ki se v avtomobilski industriji uporabljajo v naprednih voznikovih asistenčnih sistemih ADAS (Advanced Driver Assistance Systems) kot tudi v sistemih za avtonomno vožnjo, ki se razvijajo. Cilj ADAS sistemov je povečati varnost v cestnem prometu, medtem ko je cilj sistemov za avtonomno vožnjo poleg varnosti, tudi zmanjšanje števila avtomobilov na cestah (avtonomni avtomobili naj bi omogočili razvoj flot avtomobilov namenjenih najemu), zmanjšanje ogljičnega odtisa in zmanjšanje porabe energije, zmanjšanje problematike stoječega prometa (prek oddaljenih parkirišč) in seveda omogočanje transporta prikrajšanim skupinam (ostareli, invalidi, slepi, gluhi).

4. Priloge:

- Slikovno gradivo: Priložite vsaj dve sliki npr. sliko končnega produkta, sliko študentov pri delu na projektu, sliko s sestankov ipd. Pri pošiljanju slik bodite pozorni, v kolikor gre za končni produkt, da bo zadoščeno zahtevam glede informiranja in obveščanja (ustrezni logotipi itd.).

Open ▾ analyzer

```

load.tcl
x
multest.v

== design hierarchy ==

multest 1
  LOBoqt_adv_10bit 1
  pp_tree_red_v2_quant 1
  FAd 52
  MUX 2
  HAd 20
  rad1024_gen_v1_quant 1
  Barrel19L_16 1
  Barrel27L_10_quant 1
  LOD11_quant 1
  LOD4 1
  LOD16_quant 1
  LOD2 1
  LOD4 2
  Muxes2in1Array4 2
  PriorityEncoder_5 1
  PriorityEncoder_8 1
  sec_complement_w11 2
  sec_complement_w16 2
  rad4_gen 1
  code 3
  product 51
  sgn_gen 3

Number of wires: 2161
Number of wire bits: 3499
Number of public wires: 1506
Number of public wire bits: 2844
Number of memories: 0
Number of memory bits: 0
Number of processes: 0
Number of cells: 1197
  $_AND_ 159
  $_A0I3_ 63
  $_A0I4_ 30

```

logic analyzer display

	0.00					60.00
x	0	12237	1024	256	2	65532
y	0	1697	1024	256	3	256
p	0	19278336	1049600	65536	515	4294966014

tkcon 2.3 Main

```

File Console Edit Interp Prefs History Help

OAI22X1_17/a_28_54# 0.000 1 0.000001 0.000001
OR2X2_8/Y 0.000 8 0.000174 0.000279
OR2X2_1/B 0.001 3 0.000159 0.000255
OR2X2_7/Y 0.000 4 0.000087 0.000139
OR2X2_1/A 0.003 1 0.000267 0.000427
OAI21X1_179/a_9_54# 0.000 18 0.000016 0.000026
OAI21X1_131/a_9_54# 0.000 8 0.000007 0.000012
OAI21X1_123/a_9_54# 0.000 12 0.000011 0.000017
OAI21X1_115/a_9_54# 0.000 5 0.000005 0.000007
OAI21X1_107/a_9_54# 0.000 11 0.000010 0.000016
OR2X2_6/Y 0.000 4 0.000087 0.000139
OR2X2_3/B 0.000 5 0.000130 0.000208
AOI22X1_31/a_11_6# 0.000 1 0.000001 0.000001
AOI22X1_23/a_11_6# 0.000 1 0.000001 0.000001
AOI22X1_15/a_11_6# 0.000 1 0.000001 0.000001
OR2X2_5/Y 0.000 4 0.000087 0.000139
OR2X2_3/A 0.000 6 0.000156 0.000249
OR2X2_2/B 0.003 1 0.000268 0.000429
Dynamic power estimate for powtrace'd nodes = 0.000625 Watts (6.889904)
(layout) 50 %

```



